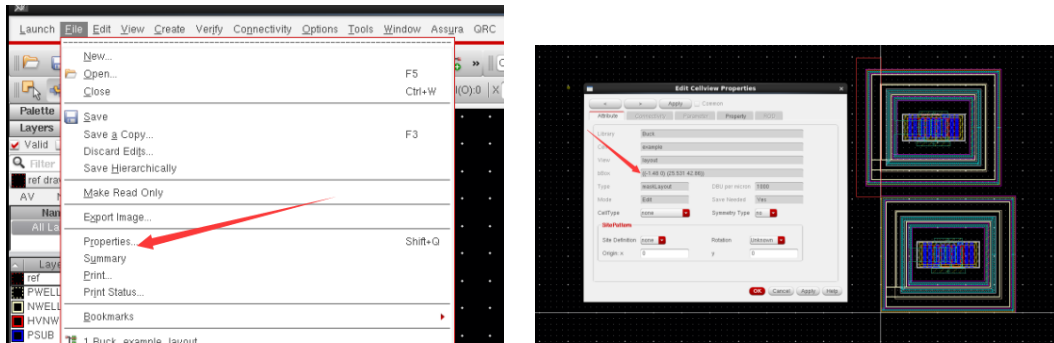


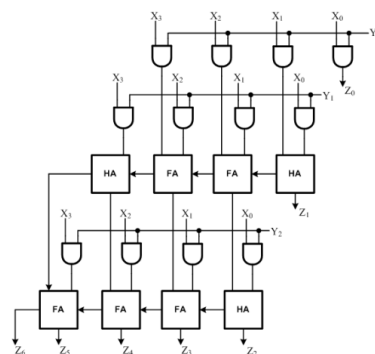
1. Area 问题。

在测量版图整体面积的时候，不要使用尺子去测量，那样并不准确，而是首先要将整个版图的左下边界移到(0,0)，再看 Properties 以得到面积。实际计算的 area，就是 Properties 里面显示的面积。有时候左下角已经移到 (0, 0) 了，但实际显示的确并不是 (0, 0)。这是因为版图上方仍有超出 $x=0$ 边界的部分。它实际显示的是一个能将版图框起来的最小矩形的两个顶点值。



2. delay 问题，我们要寻找的是最长路径的 delay，但有些同学可能会觉得不确定那条路径会有最长的 delay，由于大家可能会使用不同结构的乘法器，所以也没有办法告诉大家那一条路径就是确定的最长路径，而且乘法器是有许多条延迟相近的关键路径的，大家可以根据自己的电路去找到关键路径。这里提供一个办法，大家在测量 delay 的时候可以通过这个办法去寻找最长的 delay。

我们可以将一个信号设置为 1111，另一个信号从 0000 变化为 1111，当然同时改变多位输入可能会出现一些毛刺，有一些不稳定，所以要直到所有输出位数都稳定以后，再找到最晚稳定的输出，然后测出延迟。

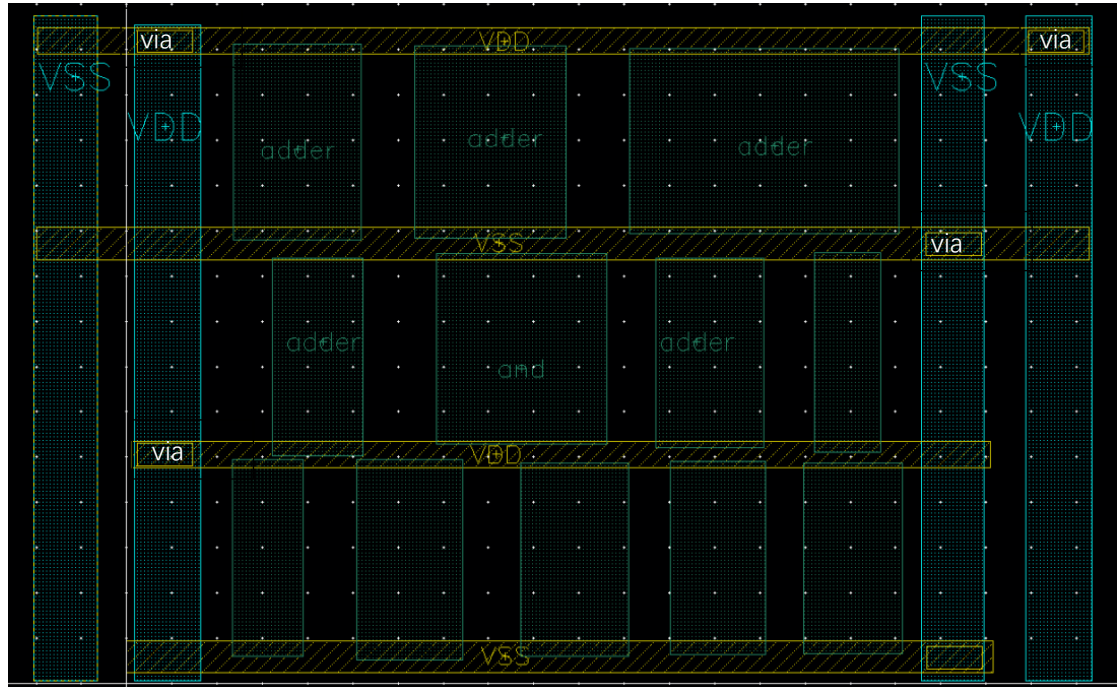


3. 关于布局布线的一点意见(友情赞助部分)。

不知道同学们有没有去查找一些数字电路版图的书籍，或者有没有看过一些数字电路版图的例子，他们与模拟电路的版图是有许多不同的，这里给大家一些提醒，关于电源布线以及摆放。

如下图所示，可以将左右各分布一条 VDD，一条 VSS，然后中间用高一层 metal 分布 power 线。将所有的模块都设置成同样的高度（这是为什么我们之前一直强调大家要把模块设计成同样的高度），然后就可以将一个模块摆在 VDD 和 VSS 中间。然后在这个基础

上再用高层 metal 连线。如果发现宽度太长，还可以每边各分布一条 VDD 和 VSS，这是为了将 VDD/VSS 设置成环形，这样就不会由于 VDD 线过长，中间又走电流导致 VDD 线上的电压会有所变化（因为金属线也是会有电阻的）。



一个例子：

